

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269518

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 29/80
H01L 29/872
H01L 29/78

(21)Application number : 11-073282

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1999

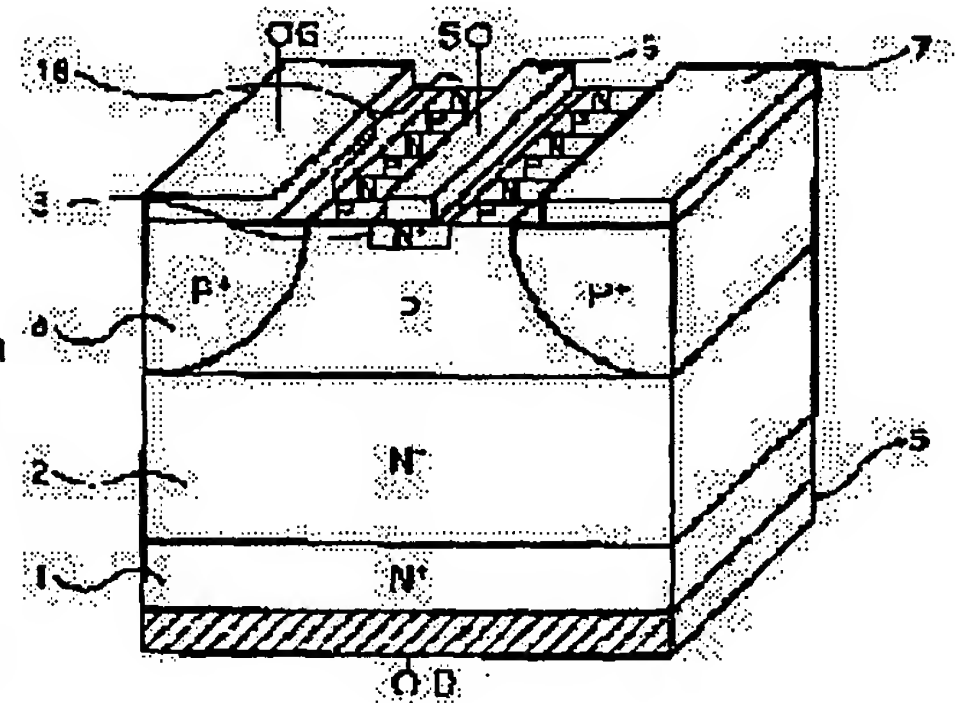
(72)Inventor : SHINOHE TAKASHI

(54) POWERING SEMICONDUCTOR DEVICE AND METHOD FOR FORMING SEMICONDUCTOR LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To make compatible a high turn-off gain and low off-resistance by a method wherein there is formed an auxiliary region where a first conductive semiconductor layer and a second conductive semiconductor layer having a carrier integral amount the repetitive direction of a predetermined value or less are alternately adjacent to each other.

SOLUTION: An auxiliary region 16 where a P-type layer and an N-type layer are alternately disposed is formed in a region sandwiched between P⁺-type gate layers 4, and a P-type layer of the auxiliary region 16 is connected to the P⁺-type gate layers 4. Here, a concentration and width of the respective layers are established so that carrier integral amounts calculated from concentration X width of the P-type layer and N-type layer of this auxiliary region 16 substantially agree with each other at schematically $5 \times 10^{12} \text{ cm}^2$ or less. With this structure, since the concentration of the N-type layer of the auxiliary region 16 can be established to be higher than that of an N-type base layer 2, it is possible to decrease resistance components of the region pinched between the P⁺-type gate layers 4. Accordingly, it is possible to obtain a high turn-off gain, and also to realize a sufficiently low on-resistance.



LEGAL STATUS

[Date of request for examination] 30.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-269518

(P2000-269518A)

(43)公開日 平成12年 9 月29日 (2000.9.29)

(51)Int.Cl.⁷

識別記号

F I

テームト(参考)

H 0 1 L 29/80
29/872
29/78

H 0 1 L 29/80
29/48
29/78

V 4 M 1 0 4
F 5 F 1 0 2
6 5 2 C
6 5 3 A
6 5 4 C

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21)出願番号

特願平11-73282

(22)出願日

平成11年 3 月18日 (1999.3.18)

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者

四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人

100081732

弁理士 大胡 典夫 (外1名)

Fターム(参考)

4M104 CC03 FF32 GG03 GG18

5F102 FA00 FA02 FB01 GB04 GC08

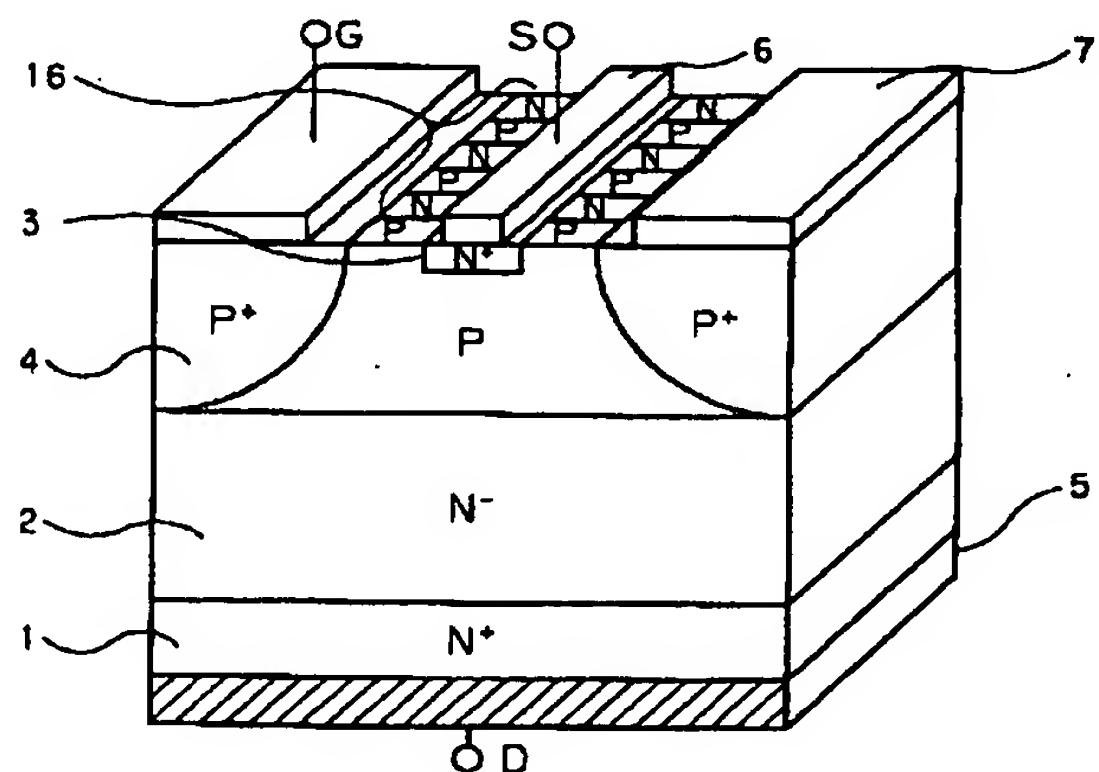
GD04 GD10 HC01

(54)【発明の名称】 電力用半導体素子及び半導体層の形成方法

(57)【要約】

【課題】 静電誘導型トランジスタの高いターンオフゲインと低いオン抵抗を両立させること、およびショットキーダイオードのリーク電流を抑え低いオン抵抗を実現すること。

【解決手段】 静電誘導型トランジスタのゲート領域4間にP型層とN型層が交互に配置された補助領域16を設ける。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型高抵抗半導体層と、その第 1 の主面に所定距離離して形成された第 2 導電型低抵抗半導体層と、前記第 1 の主面の前記第 2 導電型低抵抗半導体層に挟まれた領域に形成された第 1 の第 1 導電型低抵抗半導体層と、前記第 1 導電型高抵抗半導体層の第 2 の主面に形成された第 2 の第 1 導電型低抵抗半導体層と、前記第 2 の第 1 導電型低抵抗半導体層上に形成された第 1 の主電極と、前記第 1 の第 1 導電型低抵抗半導体層上に形成された第 2 の主電極と、前記第 2 導電型低抵抗半導体層上に形成されたゲート電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第 1 導電型半導体層と第 2 導電型半導体層が交互に隣接してなる補助領域が前記第 1 導電型高抵抗半導体層の少なくとも前記第 2 導電型低抵抗半導体層に挟まれた領域に形成され、前記補助領域の第 2 導電型半導体層は前記第 2 導電型低抵抗半導体層と接続されていることを特徴とする電力用半導体素子。

【請求項 2】 第 1 導電型高抵抗半導体層と、その第 1 の主面に所定距離離して絶縁膜を介して形成されたゲート電極と、前記第 1 の主面の前記ゲート電極に挟まれた領域に形成された第 1 の第 1 導電型低抵抗半導体層と、前記第 1 導電型高抵抗半導体層の第 2 の主面に形成された第 2 の第 1 導電型低抵抗半導体層と、前記第 2 の第 1 導電型低抵抗半導体層上に形成された第 1 の主電極と、前記第 1 の第 1 導電型低抵抗半導体層上に形成された第 2 の主電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第 1 導電型半導体層と第 2 導電型半導体層が交互に隣接してなる補助領域が前記第 1 導電型高抵抗半導体層の少なくとも前記ゲート電極に挟まれた領域に形成されていることを特徴とする電力用半導体素子。

【請求項 3】 第 1 導電型高抵抗半導体層と、その第 1 の主面に所定距離離して形成された第 2 導電型低抵抗半導体層と、前記第 1 導電型高抵抗半導体層の第 2 の主面に形成された第 1 導電型低抵抗半導体層と、前記第 1 導電型低抵抗半導体層上に形成された第 1 の主電極と、前記第 1 の主面に形成され前記第 2 導電型低抵抗半導体層とオーミック接触し前記第 2 導電型低抵抗半導体層に挟まれた領域ではショットキー接触する第 2 の主電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第 1 導電型半導体層と第 2 導電型半導体層が交互に隣接してなる補助領域が前記第 1 導電型高抵抗半導体層の少なくとも前記第 2 導電型低抵抗半導体層に挟まれた領域に形成され、前記補助領域の第 2 導電型半導体層は前記第 2 導電型低抵抗半導体層と接続されていることを特徴とする電力用半導体素子。

【請求項 4】 第 1 導電型高抵抗半導体層と、その第 1 の主面に所定距離離して絶縁膜を介して形成された電極と、前記第 1 導電型高抵抗半導体層の第 2 の主面に形成

2

された第 1 導電型低抵抗半導体層と、前記第 1 導電型低抵抗半導体層上に形成された第 1 の主電極と、前記第 1 の主面に形成され前記電極とオーミック接触し前記電極に挟まれた領域ではショットキー接触する第 2 の主電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第 1 導電型半導体層と第 2 導電型半導体層が交互に隣接してなる補助領域が前記第 1 導電型高抵抗半導体層の少なくとも前記ゲート電極に挟まれた領域に形成されていることを特徴とする電力用半導体素子。

【請求項 5】 第 1 導電型高抵抗半導体層は予め所定の角度をつけて研磨され、当該研磨により前記第 1 導電型高抵抗半導体層の第 1 の主面に形成されたテラス上に、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第 1 導電型半導体層と第 2 導電型半導体層が交互に隣接してなる補助領域をエピタキシャル成長で形成するにあたり、前記第 1 の主面に形成されたステップからステップフローにより単結晶が成長する際に、テラスのちょうど $1/2$ まで単結晶が成長するまでは第 2 導電型不純物を添加し、その後テラス全体に単結晶が成長するまでは第 1 導電型不純物を添加し、このサイクルを繰り返すことにより前記補助領域を形成することを特徴とする半導体層の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力用半導体素子及び半導体層の形成方法に係わり、特にターンオフゲインとオン抵抗を改善した静電誘導型トランジスタ、およびリーク電流とオン抵抗を改善したショットキーダイオードに関する。

【0002】

【従来の技術】図 22 は、従来の接合型静電誘導型トランジスタ (SIT) の素子構造を示す断面図を含む斜視図である。この素子の基本構造は、N+型ドレイン層 1、N-型ベース層 2、N+型ソース層 3、P+型ゲート層 4、ドレイン電極 5、ソース電極 6、ゲート電極 7 からなる接合型 SIT である。

【0003】この従来例の素子構造では、ゲート電極 7 の電位をソース電極 6 の電位に対して正にすると導通状態となり、負にすると非導通状態となる。非導通状態では P+型ゲート層 4 と N-型ベース層 2 とからなる接合が逆バイアスされて空乏層が伸び、N+型ソース層 3 直下のポテンシャルを高めて N+型ソース層 3 からの電子注入を阻止している。このような素子構造でターンオフゲインを高めるには、P+型ゲート層 4 の間隔を狭めて N+型ソース層 3 直下のポテンシャルを高くする必要があった。

【0004】しかし、P+型ゲート層 4 の間は高抵抗の N-型ベース層 2 で形成されているために、P+型ゲート層 4 の間隔を狭めると導通状態で電子が通過する部分

3

の抵抗が高くなってオン抵抗が増大するという問題が起こり、ターンオフゲインを十分に高くすることはできなかった。

【0005】また、ゲート電極7の電位をソース電極6の電位と等しくした場合に素子が非導通状態を保つ、いわゆるノーマリオフ特性を実現するには、P+型ゲート層4の間隔をビルトインポテンシャルによる空乏層が結合するほど縮めるか、P+型ゲート層4の間にメッシュ状のP+型層や一面のP型層を追加する手段が採用されることがあるが、これらの場合においてもP+型ゲート層4の間は高抵抗のN-型ベース層2で形成されているためにオン抵抗の増大は免れなかった。

【0006】図23は、従来のMOS型静電誘導型トランジスタ(SIT)の素子構造を示す断面図を含む斜視図である。この素子の基本構造は、N+型ドレイン層1、N-型ベース層2、N+型ソース層3、ドレイン電極5、ソース電極6、ゲート電極7、ゲート絶縁膜8からなるMOS型SITである。

【0007】この従来例の素子構造では、ゲート電極7の電位をソース電極6の電位に対して正にすると導通状態となり、負にすると非導通状態となる。非導通状態ではゲート絶縁膜8とN-型ベース層2との界面からN-型ベース層2へ空乏層が伸び、N+型ソース層3直下のポテンシャルを高めてN+型ソース層3からの電子注入を阻止している。この素子構造では、導通状態でゲート絶縁膜8とN-型ベース層2との界面に電子濃度の高い蓄積層が形成されるために、前記の接合型SITのようにゲート電極7間の抵抗が問題となるようなことはない。

【0008】しかし、この素子構造では前記の接合型SITよりも空乏層の伸びが小さいため、ゲート電極7の間隔をより狭めてN+型ソース層3直下のポテンシャルを高くする必要があった。製造プロセスの観点からはゲート電極7間の距離だけでなくゲート電極7の幅にも最小値があり、ゲート電極7間の距離を縮めることで素子領域の中でゲート電極7の占める面積が増大し、結局オン抵抗が増大するという問題が生じる。

【0009】図24は、従来の接合バリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。この素子の基本構造は、N+型カソード層9、N-型カソード層10、P+型層11、N+型カソード層9にオーミック接触しているカソード電極12、P+型層11にはオーミック接触しN-型カソード層10にはショットキー接触しているアノード電極13からなる接合バリア制御SBDである。

【0010】この従来例の素子構造でカソード電極12の電位がアノード電極13の電位より高い非導通状態では、P+型層11とN-型カソード層10とからなる接合が逆バイアスされて空乏層が伸び、P+型層11の間のポテンシャルを高めて電子の流れを阻止している。そ

4

の結果、オン抵抗を低減するためにバリアハイトの低い金属をアノード電極13に用いた場合でも、リーク電流を小さく抑えることが可能となる。このような素子構造で更にリーク電流を小さく抑えるためには、P+型層11の間隔を狭めてその間のポテンシャルを高くする必要があった。

【0011】しかし、P+型層11の間は高抵抗のN-型カソード層10で形成されているために、P+型層11の間隔を狭めると導通状態で電子が通過する部分の抵抗が高くなってオン抵抗が増大するという問題が起こり、リーク電流を十分に小さくすることはできなかった。

【0012】図25は、従来のMOSバリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。この素子の基本構造は、N+型カソード層9、N-型カソード層10、N+型カソード層9にオーミック接触しているカソード電極12、絶縁膜14を介して形成されている電極15にはオーミック接触しN-型カソード層10にはショットキー接触しているアノード電極13からなるMOSバリア制御SBDである。

【0013】この従来例の素子構造では、この従来例の素子構造でカソード電極12の電位がアノード電極13の電位より高い非導通状態では、絶縁膜14とN-型カソード層10との界面からN-型カソード層10へ空乏層が伸び、電極15間のポテンシャルを高めて電子の流れを阻止している。この素子構造では、導通状態で絶縁膜14とN-型カソード層10との界面に電子濃度の高い蓄積層が形成されるために、前記の接合バリア制御SBDのように電極15間の抵抗が問題となるようなことはない。

【0014】しかし、この素子構造では前記の接合バリア制御SBDよりも空乏層の伸びが小さいため、電極15の間隔をより狭めて電極15間のポテンシャルを高くする必要があった。製造プロセスの観点からは電極15間の距離だけでなく電極15の幅にも最小値があり、電極15間の距離を縮めることで素子領域の中で電極15の占める面積が増大し、結局オン抵抗が増大するという問題が生じる。

【0015】

【発明が解決しようとする課題】本発明は上記事情を考慮してなされたもので、高いターンオフゲインと低いオン抵抗を両立した静電誘導型トランジスタ、およびリーク電流を抑え低いオン抵抗を実現したショットキーダイオードを提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明(請求項1)に係わる電力用半導体素子は、第1導電型高抵抗半導体層と、その第1の主面に所定距離離して形成された第2導電型低抵抗半導体層と、前記

5

第1の主面の前記第2導電型低抵抗半導体層に挟まれた領域に形成された第1の第1導電型低抵抗半導体層と、前記第1導電型高抵抗半導体層の第2の主面に形成された第2の第1導電型低抵抗半導体層と、前記第2の第1導電型低抵抗半導体層上に形成された第1の主電極と、前記第1の第1導電型低抵抗半導体層上に形成された第2の主電極と、前記第2導電型低抵抗半導体層上に形成されたゲート電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第1導電型半導体層と第2導電型半導体層が交互に隣接してなる補助領域が前記第1導電型高抵抗半導体層の少なくとも前記第2導電型低抵抗半導体層に挟まれた領域に形成され、前記補助領域の第2導電型半導体層は前記第2導電型低抵抗半導体層と接続されていることを特徴とする。

【0017】ここで、第1導電型半導体層と第2導電型半導体層が交互に隣接してなる補助領域の効果については、例えばT. Fujihira, Jpn. J. Appl. Phys. Vol. 36 (1997) pp. 6254-6262 に開示されている。すなわち、補助領域の第1導電型半導体層と第2導電型半導体層のくり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下でほぼ同一になるように設計すれば、これらの層の間に逆方向電圧が印可された場合にこれらの層は完全に空乏化するというものである。

【0018】この原理によれば、例えば第1導電型半導体層の濃度を前記第1導電型高抵抗半導体層の濃度の100倍に設定しても、幅を狭くしてキャリア積分量が $5 \times 10^{12} \text{ cm}^{-2}$ 以下になるように調整すれば、補助領域ではブレークダウンが起こらないことになる。従って、このような補助領域を第2導電型低抵抗半導体層に挟まれた領域に形成すれば、この部分の抵抗を著しく低減することが可能となる。

【0019】また、この補助領域は濃度と幅を変えなくても厚さ（半導体素子の厚み方向の補助領域の寸法）に比例して耐圧が増加するという性質を持っているので、オン抵抗は耐圧に直線的に比例する。

【0020】一方、補助領域のない場合には、第1導電型高抵抗半導体層の濃度を減らしながら厚さを増加させないと耐圧が増加しないので、オン抵抗は耐圧の2乗に比例して著しく増加する。従って、補助領域を第1導電型高抵抗半導体層の部分にまで延長することによって、この部分での抵抗を著しく低減することが可能となる。

【0021】また、補助領域の第2導電型半導体層は第2導電型低抵抗半導体層と接続されてゲート電極とほぼ等電位に設定されており、補助領域の第1導電型半導体層は第1の第1導電型半導体層と接続されて第2の主電極とほぼ等電位に設定されている。従って、ゲート電極に第2の主電極に対して負の電圧が印可されると補助領域の幅の狭い第1導電型半導体層内には速やかに空乏層が広がり、高いターンオフゲインを得ることができる。

6

【0022】また、本発明（請求項2）に係わる電力用半導体素子は、第1導電型高抵抗半導体層と、その第1の主面に所定距離離して絶縁膜を介して形成されたゲート電極と、前記第1の主面の前記ゲート電極に挟まれた領域に形成された第1の第1導電型低抵抗半導体層と、前記第1導電型高抵抗半導体層の第2の主面に形成された第2の第1導電型低抵抗半導体層と、前記第2の第1導電型低抵抗半導体層上に形成された第1の主電極と、前記第1の第1導電型低抵抗半導体層上に形成された第2の主電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第1導電型半導体層と第2導電型半導体層が交互に隣接してなる補助領域が前記第1導電型高抵抗半導体層の少なくとも前記ゲート電極に挟まれた領域に形成されていることを特徴とする。

【0023】本発明（請求項2）に係わる電力用半導体素子では、上記の発明（請求項1）では電流制御型ゲートであったものを電圧制御型ゲートにすることができ、より低パワーで駆動することが可能となる。

【0024】この素子構造では、ゲート電極に第2の主電極に対し負の電圧を印可すると、絶縁膜と第1導電型高抵抗半導体層との界面から第1導電型高抵抗半導体層へ空乏層が伸び、第1の第1導電型低抵抗半導体層直下のポテンシャルを高めて電子注入を阻止する。この際に、補助領域の第2導電型半導体層はこの空乏層のポテンシャルに固定され、第1の主電極の電位が高くなるにつれて、補助領域の幅の狭い第1導電型半導体層内には速やかに空乏層が広がり、高いターンオフゲインを得ることができる。電圧制御型ゲートではゲート電極に第2の主電極に対し負の電圧を印可した時に伸びる空乏層幅が小さいため、補助領域を導入することによるターンオフゲインの向上効果はより大きくなる。

【0025】また、本発明（請求項3）に係わる電力用半導体素子は、第1導電型高抵抗半導体層と、その第1の主面に所定距離離して形成された第2導電型低抵抗半導体層と、前記第1導電型高抵抗半導体層の第2の主面に形成された第1導電型低抵抗半導体層と、前記第1導電型低抵抗半導体層上に形成された第1の主電極と、前記第1の主面に形成され前記第2導電型低抵抗半導体層とオーミック接触し前記第2導電型低抵抗半導体層に挟まれた領域ではショットキー接触する第2の主電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第1導電型半導体層と第2導電型半導体層が交互に隣接してなる補助領域が前記第1導電型高抵抗半導体層の少なくとも前記第2導電型低抵抗半導体層に挟まれた領域に形成され、前記補助領域の第2導電型半導体層は前記第2導電型低抵抗半導体層と接続されていることを特徴とする。

【0026】本発明（請求項3）に係わる電力用半導体素子では、上記の発明（請求項1）と同様に補助領域を

7

第2導電型低抵抗半導体層に挟まれた領域に形成することにより、この部分の抵抗を著しく低減することが可能となる。また、補助領域の第2導電型半導体層は第2導電型低抵抗半導体層と接続されて第2の主電極とほぼ等電位に設定されており、補助領域の第1導電型半導体層は第1導電型高抵抗半導体層に接続されて第1の主電極とほぼ等電位に設定され第2の主電極とはショットキーバリアによって障壁が設けられている。第1の主電極の電位が高くなるにつれて補助領域の第1導電型半導体層と第2導電型半導体層との間に逆バイアスが印可され、幅の狭い第1導電型半導体層内に速やかに空乏層が広がり、リーク電流を低減することができる。

【0027】また、本発明（請求項4）に係わる電力用半導体素子は、第1導電型高抵抗半導体層と、その第1の主面に所定距離離して絶縁膜を介して形成された電極と、前記第1導電型高抵抗半導体層の第2の主面に形成された第1導電型低抵抗半導体層と、前記第1導電型低抵抗半導体層上に形成された第1の主電極と、前記第1の主面に形成され前記電極とオーミック接触し前記電極に挟まれた領域ではショットキー接触する第2の主電極とからなり、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第1導電型半導体層と第2導電型半導体層が交互に隣接してなる補助領域が前記第1導電型高抵抗半導体層の少なくとも前記ゲート電極に挟まれた領域に形成されていることを特徴とする。

【0028】本発明（請求項4）に係わる電力用半導体素子では、第1の主電極の電位が高くなると、絶縁膜と第1導電型高抵抗半導体層との界面から第1導電型高抵抗半導体層へ空乏層が伸び、電極間のポテンシャルを高めて電子の流れを阻止する。この際に、補助領域の第2導電型半導体層はこの空乏層のポテンシャルに固定され、第1の主電極の電位が高くなるにつれて、補助領域の幅の狭い第1導電型半導体層内には速やかに空乏層が広がり、リーク電流を低減することができる。MOSバリア制御SBDでは空乏層の伸びが小さいため、補助領域を導入することによるリーク電流の低減効果はより大きくなる。

【0029】また、上記の発明（請求項1または3）において、前記補助領域のうち、前記第2導電型低抵抗半導体層に挟まれた部分を構成する第1導電型半導体層の幅を、それよりも深く形成された部分を構成する第1導電型半導体層の幅よりも小さく設定することが望ましい（第6発明）。

【0030】かかる構成の電力用半導体素子では、補助領域の第1導電型半導体層の幅が狭くなるので、第2導電型低抵抗半導体層に挟まれた部分の抵抗を更に低減でき、しかも非導通状態で空乏化しやすく、ターンオフゲインの向上（またはリーク電流の低減）という効果も同時に実現することができる。

【0031】補助領域の第1導電型半導体層の幅を小さく

8

くしていくと、補助領域を形成する第1導電型半導体層と第2導電型半導体層からなる接合のビルトインポテンシャルにより、導通状態でも第1導電型半導体層中に空乏層が伸びて実質的に第1導電型キャリアが流れる幅が縮小し、オン抵抗が増加するという問題が生じる。

【0032】しかし、ゲート電極に第2の主電極に対して正の電圧が印可される（または第2の主電極に第1の主電極に対して正の電圧が印可される）導通状態では、補助領域を形成する第1導電型半導体層と第2導電型半導体層との間に順バイアスがかかるので、第1導電型半導体層中に伸びていた空乏層が消失して、十分に小さなオン抵抗を実現することができる。

【0033】第2導電型低抵抗半導体層よりも深く形成された部分の補助領域の第1導電型半導体層の幅は、ビルトインポテンシャルによる空乏層が問題とならない程度の幅に設定しておけば、第2導電型低抵抗半導体層から離れて補助領域の第2導電型半導体層がゲート電極（または第2の主電極）と等電位になっていなくてもオン抵抗が増加するという問題は生じない。

【0034】また、上記の発明（請求項2または4）において、前記補助領域のうち、前記ゲート電極または前記電極に挟まれた部分を構成する第1導電型半導体層の幅を、それよりも深く形成された部分を構成する第1導電型半導体層の幅よりも小さく設定することが望ましい（第7発明）。

【0035】かかる構成の電力用半導体素子では、補助領域の第1導電型半導体層の幅が狭くなるので非導通状態で空乏化しやすく、ターンオフゲインの向上（またはリーク電流の低減）が実現される。この素子構造では、ゲート電極に第2の主電極に対して正の電圧が印可される（または第2の主電極に第1の主電極に対して正の電圧が印可される）導通状態では、絶縁膜と半導体の界面に高濃度の第1導電型キャリア層ができるので、十分に小さなオン抵抗を実現することができる。

【0036】上記の発明（第6発明）とは異なり、この素子構造では補助領域の第1導電型半導体層と第2導電型半導体層との間に順バイアスがかからない。しかし、ゲート電極（または電極）よりも浅く形成された部分の補助領域の第1導電型半導体層と絶縁膜との界面には高濃度の第1導電型蓄積層ができるので、ゲート電極（または電極）よりも深く形成された部分の補助領域の第1導電型半導体層の幅を、ビルトインポテンシャルによる空乏層が問題とならない程度の幅に設定しておけば、オン抵抗が増加するという問題は生じない。

【0037】また、上記の発明（請求項1、2、及び第6発明、第7発明）において、前記ゲート電極の電位を前記第2の主電極と等電位とした時に、前記補助領域の第1導電型半導体層の少なくとも一部分が空乏化して、前記第1の第1導電型低抵抗半導体層から前記第2の第1導電型低抵抗半導体層への第1導電型キャリアの流れ

9

を阻止するように、前記補助領域の第1導電型半導体層の濃度と幅を設定することが望ましい（第8発明）。

【0038】かかる構成の電力用半導体素子では、補助領域の第1導電型半導体層の少なくとも一部分がビルトインポテンシャルにより空乏化することにより、第2導電型低抵抗半導体層（または絶縁膜）から空乏層が伸びていない場合でも、第1の第1導電型低抵抗半導体層からの電子注入が阻止され、ノーマリオフ特性が実現される。

【0039】また、上記の発明（請求項3、4、及び第6発明、第7発明）において、前記第1の主電極の電位を前記第2の主電極の電位より高くした時に、前記補助領域の第1導電型半導体層の少なくとも一部分が空乏化して、前記第2の第1導電型低抵抗半導体層から前記第2の主電極への第1導電型キャリアの流れを阻止するように、前記補助領域の第1導電型半導体層の濃度と幅を設定することが望ましい（第9発明）。

【0040】かかる構成の電力用半導体素子では、補助領域の第1導電型半導体層の少なくとも一部分がビルトインポテンシャルにより空乏化することにより、第2導電型低抵抗半導体層（または絶縁膜）から空乏層が伸びていない場合でも、前記第2の第1導電型低抵抗半導体層から前記第2の主電極への第1導電型キャリアの流れが阻止され、リーク電流を十分に小さくすることができる。

【0041】また、上記の各本発明において、前記補助領域は前記第1の主面全体に形成され、前記電力用半導体素子構造の端部に接合終端構造を形成するにあたり、空乏層の伸びを抑える第3の第1導電型低抵抗半導体層はこの補助領域の表面部に形成されることが望ましい（第10発明）。

かかる構成の電力用半導体素子では、補助領域をウェハ全面に亘って形成しても高耐圧を得ることができる。このため、次に述べる本発明（請求項5）のエピタキシャル成長方法、あるいは他のプロセスにより補助領域をパターンニングなしにウェハ全面に形成し、その後に通常の方法で素子構造を形成することにより容易に上記各本発明の素子構造を実現することが可能となる。

【0042】また、本発明（請求項5）に係わる半導体層の形成方法は、第1導電型高抵抗半導体層は予め所定の角度をつけて研磨され、当該研磨により前記第1導電型高抵抗半導体層の第1の主面に形成されたテラス上に、くり返し方向のキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下の第1導電型半導体層と第2導電型半導体層が交互に隣接してなる補助領域をエピタキシャル成長で形成するにあたり、前記第1の主面に形成されたステップからステップフローにより単結晶が成長する際に、テラスのちょうど1/2まで単結晶が成長するまでは第2導電型不純物を添加し、その後テラス全体に単結晶が成長するまでは第1導電型不純物を添加し、このサイク

10

ルを繰り返すことにより前記補助領域を形成することを特徴とする。

【0043】かかる構成の半導体層の形成方法では、研磨の角度に対応した幅のテラスが形成され、その1/2が補助領域の第1導電型半導体層および第2導電型半導体層の幅となるので、角度の選び方によって、通常のパターンニングでは不可能なほど微細な幅を持つ補助領域を実現することができる。この方法は、第2導電型低抵抗半導体層または絶縁膜を介して形成されたゲート電極（または電極）に挟まれた部分の、幅の狭い第1導電型半導体層を持つ補助領域を形成するのに特に適した方法である。

【0044】

【発明の実施の形態】以下、図面を参照しながら実施形態を説明する。以下の実施例では、第1導電型をN型、第2導電型をP型とした場合を示している。

【0045】（第1の実施形態）図1は、本発明の第1の実施形態に係わる接合型静電誘導トランジスタ（SIT）の素子構造を示す断面図を含む斜視図である。以下、図1～図4に対応する第1～第4の実施形態では、図20に示した従来の接合型SITと対応する部分は同じ記号を用いて詳細な説明は省略する。

【0046】本実施形態の接合型SITの素子構造では、P+型ゲート層4に挟まれた領域にP型層とN型層が交互に配置されてなる補助領域16が形成されており、補助領域16のP型層はP+型ゲート層4に接続されている。この補助領域のP型層、N型層の濃度×幅から算出されるキャリア積分量が概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下でほぼ一致するように、それぞれの層の濃度と幅が設定される。例えば、幅が $5 \mu\text{m}$ であれば濃度を $3 \times 10^{15} \text{ cm}^{-3}$ 、幅が $1 \mu\text{m}$ であれば濃度を $2 \times 10^{16} \text{ cm}^{-3}$ と選ぶことができる。

【0047】本実施形態によれば、補助領域16のN型層の濃度をN-型ベース層2の濃度より高く設定できるため、従来の接合型SITの問題点であったP+型ゲート層4に挟まれた領域の抵抗成分を著しく低減することが可能となる。また、補助領域16のP型層はP+型ゲート層4と接続されてゲート電極7とほぼ等電位に設定されており、補助領域16のN型層はN+型ソース層3と接続されてソース電極6とほぼ等電位に設定されている。

【0048】従って、ゲート電極7にソース電極6に対して負の電圧が印可されると補助領域16の幅の狭いN型層内には速やかに空乏層が広がり、高いターンオフゲインを得ることができる。更に、補助領域16のN型層の幅を縮めて $0.05 \mu\text{m}$ 程度とし、濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 程度に選ぶことにより、補助領域16のN型層とP型層とからなるPN接合のビルトインポテンシャルによって補助領域16のN型層は空乏層で覆われる。

11

【0049】このようにするとゲート電極7とソース電極6が等電位であってもN+型ソース層3からの電子注入は起こらず、ノーマリオフを実現することができる。これによってシステムが停止した場合に電流を遮断した状態に保つことができ、安全性の向上を図ることができる。この場合でも、ゲート電極7にソース電極6に対して正の電圧を印可すれば、補助領域16のN型層とP型層からなるPN接合は順バイアスされ、N型層を覆っていたビルトインポテンシャルによる空乏層は消滅し、十分に低いオン抵抗を実現することができる。

【0050】(第2の実施形態)図2は、本発明の第2の実施形態に係わる接合型静電誘導トランジスタ(SIT)の素子構造を示す断面図を含む斜視図である。本実施形態の接合型SITの素子構造では、補助領域16がP+型ゲート層4より深くまで形成されており、P+型ゲート層4に挟まれた部分を構成する補助領域16のN型層の幅を、それよりも深く形成された部分を構成する補助領域17のN型層の幅よりも小さく設定している。

【0051】本実施形態によれば、補助領域16のN型層の幅が狭くなるので、P+型ゲート層4に挟まれた部分の抵抗を更に低減でき、しかも非導通状態で空乏化しやすくターンオフゲインの向上という効果も同時に実現することができる。この場合にも、補助領域16のN型層の幅を0.05 μ m程度まで縮めてノーマリオフとすることができる。

【0052】P+型ゲート層4よりも深く形成された部分を構成する補助領域17のN型層の幅は、P+型ゲート層4に挟まれた部分を構成する補助領域16のN型層の幅と同じに設定してもよいが、この実施形態では大きく設定している。P+型ゲート層4よりも深く形成された部分を構成する補助領域17のP型層またはN型層は、それぞれの層の抵抗により、それぞれP+型ゲート層4またはN+型ソース層3とは等電位にならない。このような場合には、ゲート電極7にソース電極6に対して正の電圧を印可しても、補助領域17下部のN型層内部に広がっているビルトインポテンシャルによる空乏層を十分に消滅させることができない。

【0053】このような事態を避けるため、この実施形態ではP+型ゲート層4よりも深く形成された部分を構成する補助領域17のN型層の幅を、P+型ゲート層4に挟まれた部分を構成する補助領域16のN型層の幅よりも大きく設定している。この素子構造は、エピタキシャル成長とイオン注入によるP型不純物、N型不純物の選択ドーピングを繰り返す製造プロセスを採用する上でも好適である。

【0054】すなわち、エピタキシャル成長では半導体基板を高温にする必要があるが、その際に下地に既に形成されている補助領域のP型不純物、N型不純物が拡散して広がり、それらの幅が変わってしまう。特に補助領域のN型不純物の幅を小さく設定すると、最悪の場合に

12

はP型不純物の拡散によってN型層が消滅してしまうこともありうる。従って、先にエピタキシャル成長される半導体基板の深い部分に形成される補助領域17のN型層の幅を大きく設定しておけば、製造プロセスによるN型層の幅の変動があったとしても安定して補助領域17を形成することができる。

【0055】(第3の実施形態)図3は、本発明の第3の実施形態に係わる接合型静電誘導トランジスタ(SIT)の素子構造を示す断面図を含む斜視図である。本実施形態の接合型SITの素子構造では、補助領域17がN+型ドレイン層1上まで到達している。

【0056】本実施形態によれば、補助領域17は濃度と幅を変えなくても厚さ(半導体素子の厚み方向の補助領域の寸法)に比例して耐圧が増加するという性質を持っているので、補助領域17が無い場合や補助領域17がN-型ベース層2の途中までしか形成されていない場合に比べて、オン抵抗を低減することが可能となる。

【0057】(第4の実施形態)図4は、本発明の第4の実施形態に係わる接合型静電誘導トランジスタ(SIT)の素子構造を示す断面図を含む斜視図である。本実施形態の接合型SITの素子構造では、補助領域16の表面付近にP-型層18が形成されている。

【0058】本実施形態によれば、補助領域16のN型層とN+型ソース層3とはP-型層18により分離されているので、電子は補助領域16のN型層へ流入することができずノーマリオフ特性を示す。このような場合でも、ゲート電極7にソース電極6に対して正の電圧を印可すれば、N+型ソース層3とP-型層18からなるPN接合が順バイアスされて、電子はN+型ソース層3からP-型層18を通過して補助領域16のN型層に注入される。但し、このP-型層18の濃度を上げすぎると、この部分での抵抗が大きくなるのでオン抵抗に悪影響を及ぼす。補助領域16のN型層の幅を例えば1 μ m～サブ μ m程度の通常の製造プロセスで可能な範囲に設定し、ノーマリオフに必要な最小限の濃度に設定するのが望ましい。

【0059】(第5の実施形態)図5は、本発明の第5の実施形態に係わるMOS型静電誘導トランジスタ(SIT)の素子構造を示す断面図を含む斜視図である。以下、図5～図8に対応する第5～第8の実施形態では、図21に示した従来のMOS型SITと対応する部分は同じ記号を用いて詳細な説明は省略する。

【0060】実施形態のMOS型SITの素子構造では、ゲート電極7に挟まれた領域にP型層とN型層が交互に配置されてなる補助領域16が形成されている。補助領域16はゲート電極7の底部よりは浅く、N+型ソース層3との間にはN-型層19が形成されている。この実施形態においても補助領域16のP型層、N型層の濃度と幅は第1の実施形態と同様に選ぶことができる。

【0061】本実施形態によれば、第1から第4の実施

形態の素子構造では電圧制御型ゲートであったものを電圧制御型ゲートにすることができ、より低パワーで駆動することが可能となる。この素子構造では、ゲート電極7にソース電極6に対し負の電圧を印可すると、ゲート絶縁膜8とN-型層19との界面からN-型層19へ空乏層が伸び、N+型ソース層3直下のポテンシャルを高めて電子注入を阻止する。この際に、補助領域16のP型層はこの空乏層のポテンシャルに固定され、ドレイン電極5の電位が高くなるにつれて、補助領域の幅の狭いN型層内には速やかに空乏層が広がり、高いターンオフゲインを得ることができる。電圧制御型ゲートではゲート電極7にソース電極6に対し負の電圧を印可した時に伸びる空乏層幅が小さいため、補助領域16を導入することによるターンオフゲインの向上効果はより大きくなる。

【0062】（第6の実施形態）図6は、本発明の第6の実施形態に係わるMOS型静電誘導トランジスタ（SIT）の素子構造を示す断面図を含む斜視図である。本実施形態のMOS型SITの素子構造では、補助領域16がゲート電極7より深くまで形成されており、ゲート電極7に挟まれた部分を構成する補助領域16のN型層の幅を、それよりも深く形成された部分を構成する補助領域17のN型層の幅よりも小さく設定している。

【0063】本実施形態によれば、補助領域16のN型層の幅が狭くなるので、ゲート電極7に挟まれた部分の抵抗を更に低減でき、しかも非導通状態で空乏化しやすくターンオフゲインの向上という効果も同時に実現することができる。この場合にも、補助領域16のN型層の幅を0.05 μ m程度まで縮めてノーマリオフとすることができる。ゲート電極7よりも深く形成された部分を構成する補助領域17のN型層の幅は、ゲート電極7に挟まれた部分を構成する補助領域16のN型層の幅と同じに設定してもよいが、この実施形態では大きく設定している。第2の実施例とは異なり、この素子構造では補助領域16、17のN型層とP型層との間に順バイアスがかからない。しかし、補助領域16とゲート絶縁膜8の界面には高濃度の電子蓄積層ができるので、補助領域17のN型層の幅をビルトインポテンシャルによる空乏層が問題とならない程度の幅に設定しておけば、オン抵抗が増加するという問題は生じない。

【0064】（第7の実施形態）図7は、本発明の第7の実施形態に係わるMOS型静電誘導トランジスタ（SIT）の素子構造を示す断面図を含む斜視図である。本実施形態のMOS型SITの素子構造では、補助領域17がN+型ドレイン層1上まで到達している。

【0065】本実施形態によれば、補助領域17は濃度と幅を変えなくても厚さ（半導体素子の厚み方向の補助領域の寸法）に比例して耐圧が増加するという性質を持っているので、補助領域17が無い場合や補助領域17がN-型ベース層2の途中までしか形成されていない場

合に比べて、オン抵抗を低減することが可能となる。

【0066】（第8の実施形態）図8は、本発明の第8の実施形態に係わるMOS型静電誘導トランジスタ（SIT）の素子構造を示す断面図を含む斜視図である。本実施形態のMOS型SITの素子構造では、補助領域16の表面付近にソース電極6と接続されたP型層20が形成されている。

【0067】本実施形態によれば、補助領域16のN型層とN+型ソース層3とはP型層20により分離されているので、電子は補助領域16のN型層へ流入することができずノーマリオフ特性を示す。このような場合でも、ゲート電極7にソース電極6に対して正の電圧を印可すれば、ゲート絶縁膜8とP型層20との界面に反転層ができて、電子はN+型ソース層3から反転層を通過して補助領域16のN型層に注入される。この素子構造は通常のMOS型FETに補助領域を追加したものと同一であるので、このP型層20の濃度は反転層のできるしきい値が適正な範囲に入るように選ぶ必要がある。

【0068】（第9の実施形態）図9は、本発明の第9の実施形態に係わる接合バリア制御ショットキーダイオード（SBD）の素子構造を示す断面図を含む斜視図である。以下、図9～図13に対応する第9～第13の実施形態では、図22に示した従来の接合バリア制御SBDと対応する部分は同じ記号を用いて詳細な説明は省略する。

【0069】本実施形態の接合バリア制御SBDの素子構造では、P+型層11に挟まれた領域にP型層とN型層が交互に配置されてなる補助領域16が形成されており、補助領域16のP型層はP+型層11に接続されている。この実施形態においても補助領域16のP型層、N型層の濃度と幅は第1の実施形態と同様に選ぶことができる。

【0070】本実施形態によれば、第1の実施形態と同様に補助領域16をP型層11に挟まれた領域に形成することにより、この部分の抵抗を著しく低減することが可能となる。また、補助領域16のP型層はP+型層11と接続されてアノード電極13とほぼ等電位に設定されており、補助領域16のN型層はN-型カソード層10に接続されてカソード電極12とほぼ等電位に設定されアノード電極13とはショットキーバリアによって障壁が設けられている。カソード電極12の電位が高くなるにつれて補助領域16のN型層とP型層との間に逆バイアスが印可され、幅の狭いN型層内に速やかに空乏層が広がり、リーク電流を低減することができる。更に、補助領域16のN型層の幅を縮めて0.05 μ m程度とし、濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 程度に選ぶことにより、補助領域16のN型層とP型層とからなるPN接合のビルトインポテンシャルによって補助領域16のN型層は空乏層で覆われる。このようにするとアノード電極13にバリアハイトの低い金属を用いても、電子の流れ

15

を阻止するバリアが生じてリーク電流を低減することができる。この場合でも、アノード電極13にカソード電極12に対して正の電圧を印可すれば、補助領域16のN型層とP型層からなるPN接合は順バイアスされ、N型層を覆っていたビルトインポテンシャルによる空乏層は消滅し、十分に低いオン抵抗を実現することができる。

【0071】(第10の実施形態)図10は、本発明の第10の実施形態に係わる接合バリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。本実施形態の接合バリア制御SBDの素子構造では、補助領域16がP+型層11より深くまで形成されており、P+型層11に挟まれた部分を構成する補助領域16のN型層の幅を、それよりも深く形成された部分を構成する補助領域17のN型層の幅よりも小さく設定している。

【0072】本実施形態によれば、補助領域16のN型層の幅が狭くなるので、P+型層11に挟まれた部分の抵抗を更に低減でき、しかも非導通状態で空乏化しやすくリーク電流の低減という効果も同時に実現することができる。この場合にも、補助領域16のN型層の幅を0.05 μ m程度まで縮めてビルトインポテンシャルによるバリアを形成することができる。P+型層11よりも深く形成された部分を構成する補助領域17のN型層の幅は、P+型層11に挟まれた部分を構成する補助領域16のN型層の幅と同じに設定してもよいが、この実施形態では大きく設定している。この理由は第2の実施形態で説明したものと同様である。

【0073】(第11の実施形態)図11は、本発明の第11の実施形態に係わる接合バリア制御ショットキーダイオード(SBD)の素子構造を示す断面図である。本実施形態の接合バリア制御SBDの素子構造では、補助領域17がN+型カソード層9上まで到達している。

【0074】本実施形態によれば、補助領域17は濃度と幅を変えなくても厚さ(半導体素子の厚み方向の補助領域の寸法)に比例して耐圧が増加するという性質を持っているので、補助領域17が無い場合や補助領域17がN-型カソード層10の途中までしか形成されていない場合に比べて、オン抵抗を低減することが可能となる。

【0075】(第12の実施形態)図12は、本発明の第12の実施形態に係わる接合バリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。本実施形態の接合バリア制御SBDの素子構造では、補助領域16の表面付近にP-型層18が形成されている。

【0076】本実施形態によれば、補助領域16のN型層とアノード電極13とはショットキーバリアに加えてP-型層18により障壁が設けられているので、電子の流れが阻止されリーク電流を低減することができる。こ

16

のような場合でも、アノード電極13にカソード電極12に対して正の電圧を印可すれば、補助領域16のN型層とP-型層18からなるPN接合が順バイアスされて、電子はN型層からP-型層18を通過して順バイアスされたショットキーバリアハイトを越えてアノード電極13へと流れ出る。但し、このP-型層18の濃度を上げすぎると、この部分での抵抗が大きくなるのでオン抵抗に悪影響を及ぼす。実用的なリーク電流に収まる必要最小限の濃度に設定するのが望ましい。

【0077】(第13の実施形態)図13は、本発明の第13の実施形態に係わる接合バリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。本実施形態の接合バリア制御SBDの素子構造では、補助領域16の表面付近に補助領域16のN型層よりも濃度の低いN-型層19が形成されている。

【0078】本実施形態によれば、P+型層11からの空乏層がより広く伸びてN-型層19内のポテンシャルが高くなり、電子の流れが阻止されリーク電流を低減することができる。

【0079】(第14の実施形態)図14は、本発明の第14の実施形態に係わるMOSバリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。以下、図14～図17に対応する第14～第17の実施形態では、図23に示した従来のMOSバリア制御SBDと対応する部分は同じ記号を用いて詳細な説明は省略する。

【0080】本実施形態のMOSバリア制御SBDの素子構造では、電極15に挟まれた領域にP型層とN型層が交互に配置されてなる補助領域16が形成されている。補助領域16は電極15の底部よりは浅く、アノード電極13との間にはN-型層19が形成されている。この実施形態においても補助領域16のP型層、N型層の濃度と幅は第1の実施形態と同様に選ぶことができる。

【0081】本実施形態によれば、カソード電極12の電位が高くなると、絶縁膜14とN-型層19との界面からN-型層19へ空乏層が伸び、電極15間のポテンシャルを高めて電子の流れを阻止する。この際に、補助領域16のP型層はこの空乏層のポテンシャルに固定され、カソード電極12の電位が高くなるにつれて、補助領域16の幅の狭いN型層内には速やかに空乏層が広がり、リーク電流を低減することができる。MOSバリア制御SBDでは空乏層の伸びが小さいため、補助領域を導入することによるリーク電流の低減効果はより大きくなる。

【0082】(第15の実施形態)図15は、本発明の第15の実施形態に係わるMOSバリア制御ショットキーダイオード(SBD)の素子構造を示す断面図を含む斜視図である。本実施形態のMOSバリア制御SBDの素子構造では、補助領域16が電極15より深くまで形

17

成されており、電極 15 に挟まれた部分を構成する補助領域 16 の N 型層の幅を、それよりも深く形成された部分を構成する補助領域 17 の N 型層の幅よりも小さく設定している。

【0083】本実施形態によれば、補助領域 16 の N 型層の幅が狭くなるので、電極 15 に挟まれた部分の抵抗を更に低減でき、しかも非導通状態で空乏化しやすくリーク電流の低減という効果も同時に実現することができる。この場合にも、補助領域 16 の N 型層の幅を 0.05 μm 程度まで縮めてビルトインポテンシャルによるバリアを形成することができる。電極 15 よりも深く形成された部分を構成する補助領域 17 の N 型層の幅は、電極 15 に挟まれた部分を構成する補助領域 16 の N 型層の幅と同じに設定してもよいが、この実施形態では大きく設定している。この理由は第 6 の実施形態で説明したものと同一である。

【0084】（第 16 の実施形態）図 16 は、本発明の第 16 の実施形態に係わる MOS バリア制御ショットキーダイオード (SBD) の素子構造を示す断面図を含む斜視図である。本実施形態の MOS バリア制御 SBD の素子構造では、補助領域 17 が N+ 型カソード層 9 上まで到達している。

【0085】本実施形態によれば、補助領域 17 は濃度と幅を変えなくても厚さ（半導体素子の厚み方向の補助領域の寸法）に比例して耐圧が増加するという性質を持っているので、補助領域 17 が無い場合や補助領域 17 が N- 型カソード層 10 の途中までしか形成されていない場合に比べて、オン抵抗を低減することが可能となる。

【0086】（第 17 の実施形態）図 17 は、本発明の第 17 の実施形態に係わる MOS バリア制御ショットキーダイオード (SBD) の素子構造を示す断面図を含む斜視図である。本実施形態の MOS バリア制御 SBD の素子構造では、アノード電極 13 の接触表面付近に P- 型層 18 が形成されている。

【0087】本実施形態によれば、補助領域 16 の N 型層とアノード電極 13 とはショットキーバリアに加えて P- 型層 18 により障壁が設けられているので、電子の流れが阻止されリーク電流を低減することができる。このような場合でも、アノード電極 13 にカソード電極 12 に対して正の電圧を印可すれば、補助領域 16 の N 型層、その上の N- 型層 19 と P- 型層 18 からなる PN 接合が順バイアスされて、電子は N 型層から N- 型層 19、P- 型層 18 を通過して順バイアスされたショットキーバリアハイトを越えてアノード電極 13 へと流れ出る。但し、この P- 型層 18 の濃度を上げすぎると、この部分での抵抗が大きくなるのでオン抵抗に悪影響を及ぼす。実用的なリーク電流に収まる必要最小限の濃度に設定するのが望ましい。

【0088】（第 18 の実施形態）図 18、図 19 は、

18

本発明の第 18 の実施形態に係わる電力用半導体素子の製造方法を示す図である。本実施形態の電力用半導体素子では、結晶基板（具体的には、N- 型ベース層 2、N+ 型ドレイン層 1、N- 型カソード層 10、N+ 型カソード層 9 など）は予め所定のオフ角度 θ をつけて研磨され（図 18A）、それによって結晶表面に形成されたテラス上に補助領域 16（または 17）をエピタキシャル成長で形成するにあたり、結晶表面に形成されたステップからステップフローにより単結晶が成長する際に、テラスのちょうど 1/2 まで単結晶が成長するまでは P 型不純物を添加し（図 18B）、その後テラス全体に単結晶が成長するまでは N 型不純物を添加し（図 19A）、このサイクルを繰り返すことにより補助領域 16（または 17）を形成する（図 19B）。

【0089】本実施形態によれば、研磨のオフ角度 θ に対応した幅 $2W$ ($=d/\tan\theta$ 、 d はステップの高さ) のテラスが形成され、その 1/2 が補助領域 16（または 17）の N 型層および P 型層の幅 W となるので、角度 θ の選び方によって、通常のバターニングでは不可能なほど微細な幅 W を持つ補助領域 16（または 17）を実現することができる。この方法は、補助領域 16 の幅の狭い N 型層を形成するのに特に適した方法である。例えば、ステップの高さが $d=1.5\text{Å}$ の結晶の場合には、オフ角度を $\theta=0.086^\circ$ 以上とすることによって、ノーマリオフに必要な $W=0.05\mu\text{m}$ 以下を実現することができる。

【0090】（第 19 の実施形態）図 20、図 21 は、本発明の第 19 の実施形態に係わる接合型静電誘導トランジスタ (SIT) の素子構造を示す断面図を含む斜視図である。図 20 は図 1 の紙面に平行な面内で接合終端部まで含んだ図であり、図 21 は、図 1 の紙面に垂直な面内で接合終端部まで含んだ図である。接合終端部は、空乏化して電界を緩和するための P- 層 (RESURF 層) 21、空乏層の広がり止める N+ 型層 (チャネルストップ層) 22、酸化膜や SIPOS 膜 (酸素ドーパ多結晶シリコン) などのパシベーション膜 23 からなる。補助領域 16 はウェハ表面全体に形成され、その中に素子構造と接合終端構造が形成されている。この素子構造では N- 型ベース層 2 が残っているが、補助領域 16 が N+ ドレイン層 1 上に直接形成されていてもよい。

【0091】本実施形態によれば、補助領域 16 をウェハ全面に亘って形成しても高耐圧を得ることができる。このため、第 18 の実施例で説明したエピタキシャル成長方法、あるいは他のプロセスにより補助領域 16 をウェハ全面に形成し、その後に通常の方法で素子構造を形成することにより容易にこれまで説明した補助構造を有する素子構造を実現することが可能となる。

【0092】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。例えば、補助領域 16、17 は、基本素子構造断面図の紙面に垂直な方向に繰り

返すように配置したが、平行であっても角度がついていてもよい。また、補助領域 16、17 を構成する N 型層、P 型層は板状としたが、ますの目状、蜂の巣状など他の幾何学的形状であってもよい。また、それぞれの基本素子構造についても、種々変形したものに補助領域を追加して用いることができる。

【0093】

【発明の効果】以上詳述したように、本発明によれば、ゲート領域に挟まれた領域に形成された補助領域がオフ時にはピンチオフと同様の効果を発揮し、オン時には低抵抗伝導層として働くために、ターンオフゲインが大きく、オン抵抗の小さな静電誘導型トランジスタを実現することができる。また、ショットキーダイオードにおいても、補助領域を用いることにより低リーク電流と低オン抵抗を同時に実現することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係わる接合型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 2】本発明の第 2 の実施形態に係わる接合型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 3】本発明の第 3 の実施形態に係わる接合型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 4】本発明の第 4 の実施形態に係わる接合型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 5】本発明の第 5 の実施形態に係わる MOS 型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 6】本発明の第 6 の実施形態に係わる MOS 型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 7】本発明の第 7 の実施形態に係わる MOS 型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 8】本発明の第 8 の実施形態に係わる MOS 型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 9】本発明の第 9 の実施形態に係わる接合バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 10】本発明の第 10 の実施形態に係わる接合バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 11】本発明の第 11 の実施形態に係わる接合バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 12】本発明の第 12 の実施形態に係わる接合バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 13】本発明の第 13 の実施形態に係わる接合バリア制御ショットキーダイオードの素子構造を示す断面図

を含む斜視図。

【図 14】本発明の第 14 の実施形態に係わる MOS バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 15】本発明の第 15 の実施形態に係わる MOS バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 16】本発明の第 16 の実施形態に係わる MOS バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 17】本発明の第 17 の実施形態に係わる MOS バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 18】本発明の第 18 の実施形態に係わる電力用半導体素子の製造方法を示す図。

【図 19】本発明の第 18 の実施形態に係わる電力用半導体素子の製造方法を示す図。

【図 20】本発明の第 19 の実施形態に係わる電力用半導体素子の素子構造を示す断面図を含む斜視図。

【図 21】本発明の第 19 の実施形態に係わる電力用半導体素子の素子構造を示す断面図を含む斜視図。

【図 22】従来の接合型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 23】従来の MOS 型静電誘導トランジスタの素子構造を示す断面図を含む斜視図。

【図 24】従来の接合バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【図 25】従来の MOS バリア制御ショットキーダイオードの素子構造を示す断面図を含む斜視図。

【符号の説明】

1 … N+型ドレイン層

2 … N-型ベース層

3 … N+型ソース層

4 … P+型ゲート層

5 … ドレイン電極

6 … ソース電極

7 … ゲート電極

8 … ゲート絶縁膜

9 … N+型カソード層

10 … N-型カソード層

11 … P+型層

12 … カソード電極（オーミック電極）

13 … アノード電極（ショットキー電極）

14 … 絶縁膜

15 … 電極

16 … 補助領域

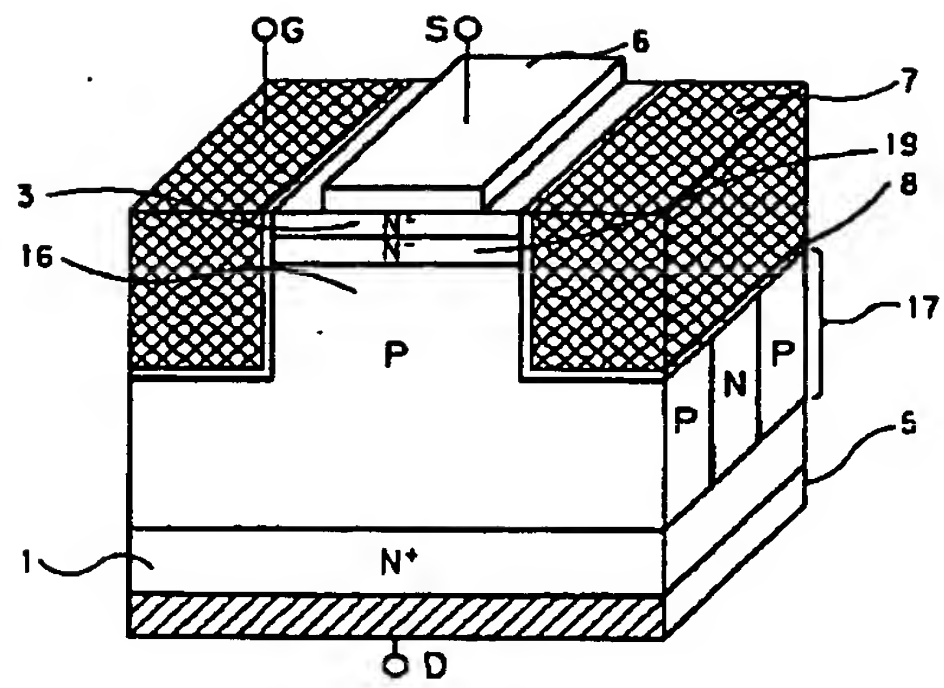
17 … 補助領域

18 … P-型層

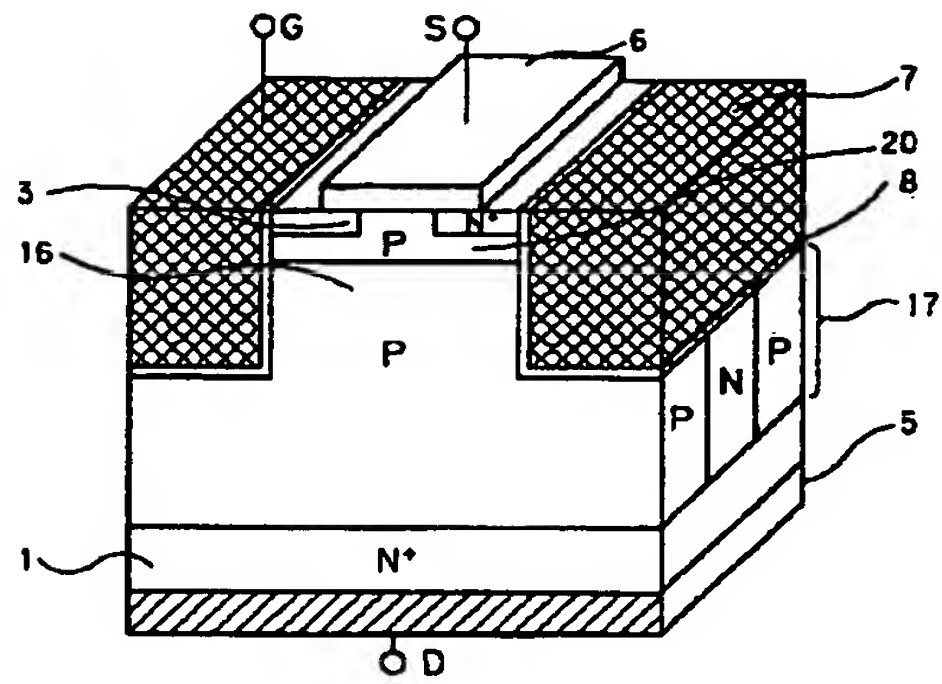
19 … N-型層

20 … P 型層

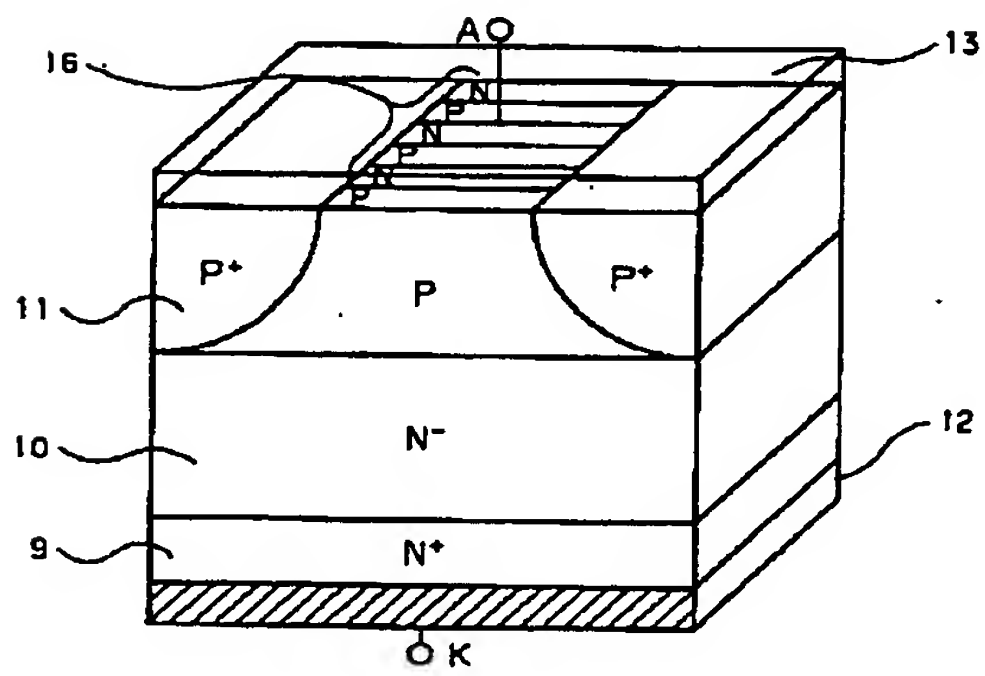
【図7】



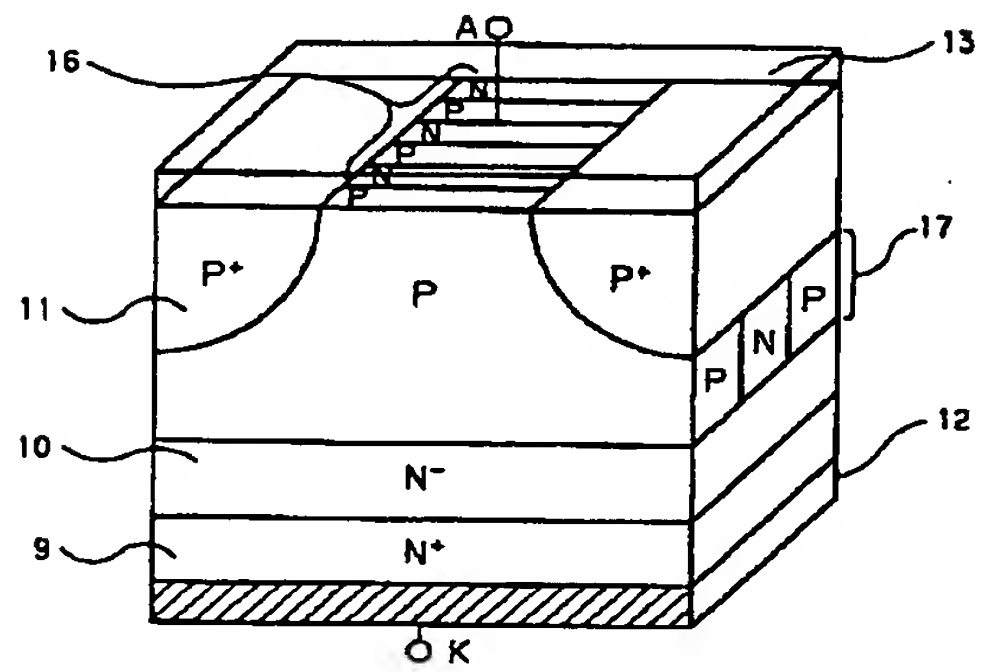
【図8】



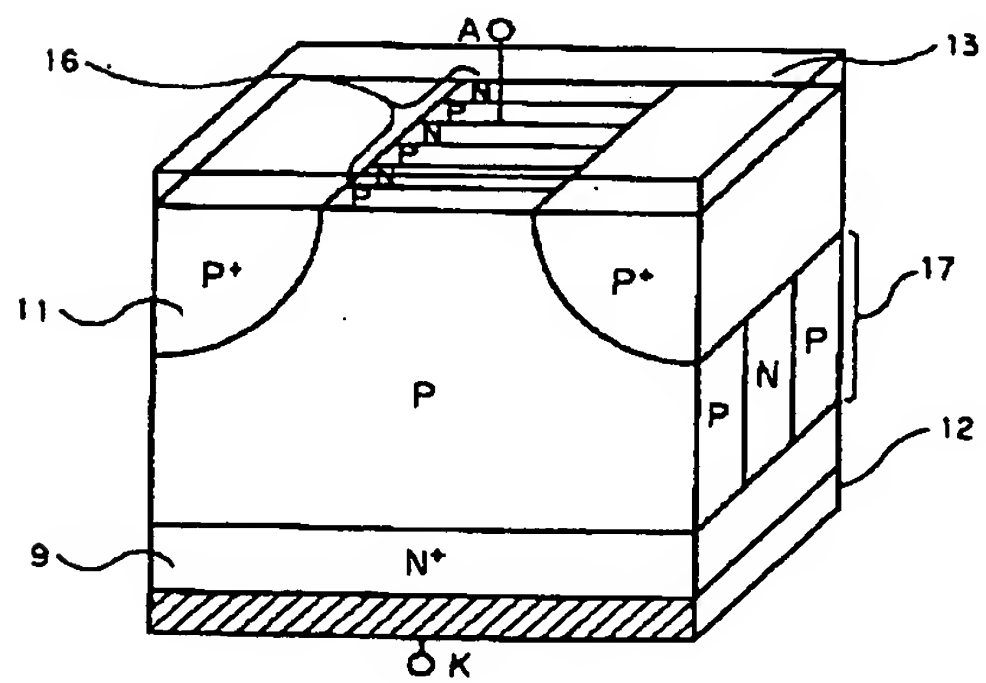
【図9】



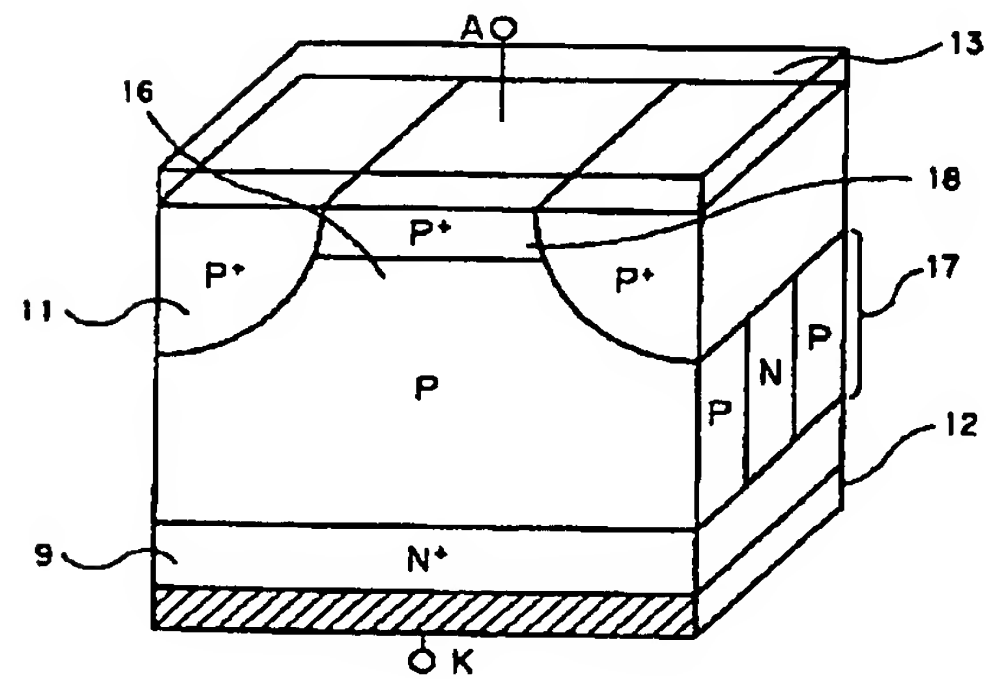
【図10】



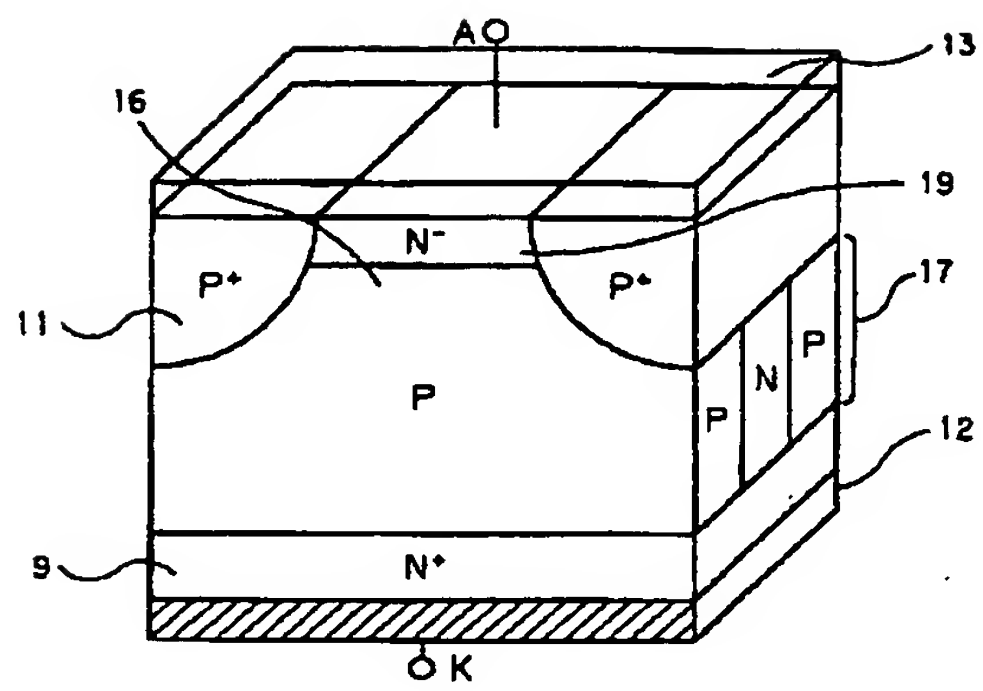
【図11】



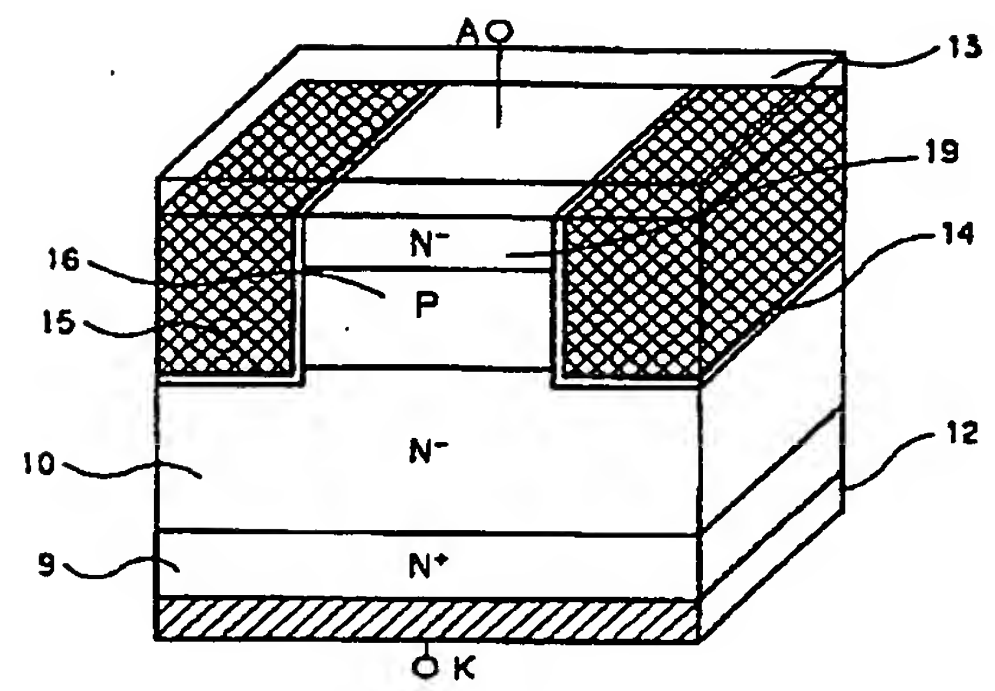
【図12】



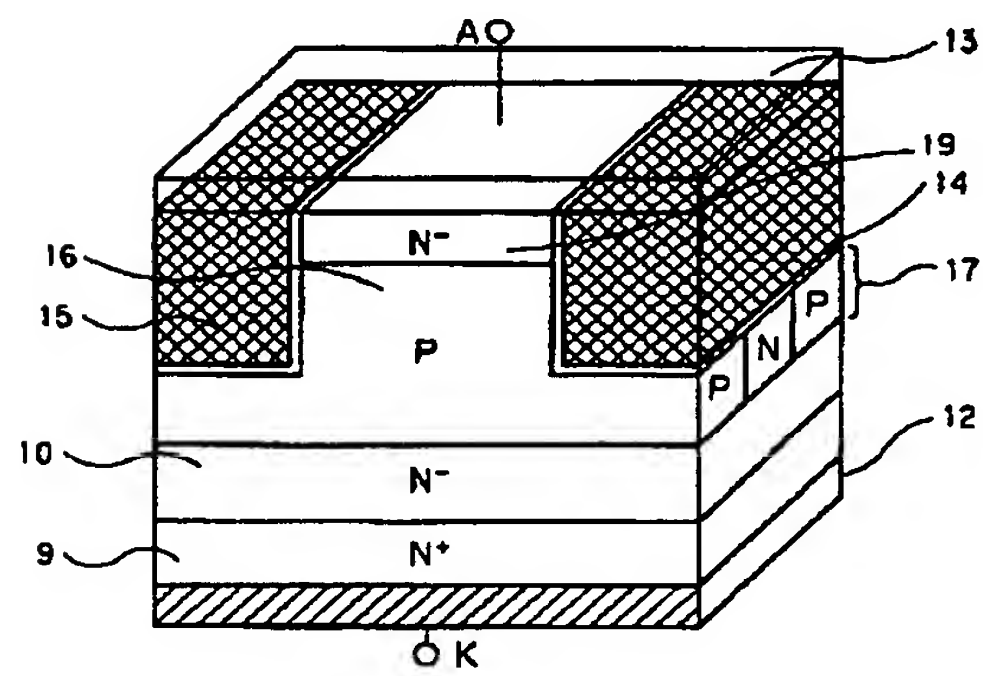
【図13】



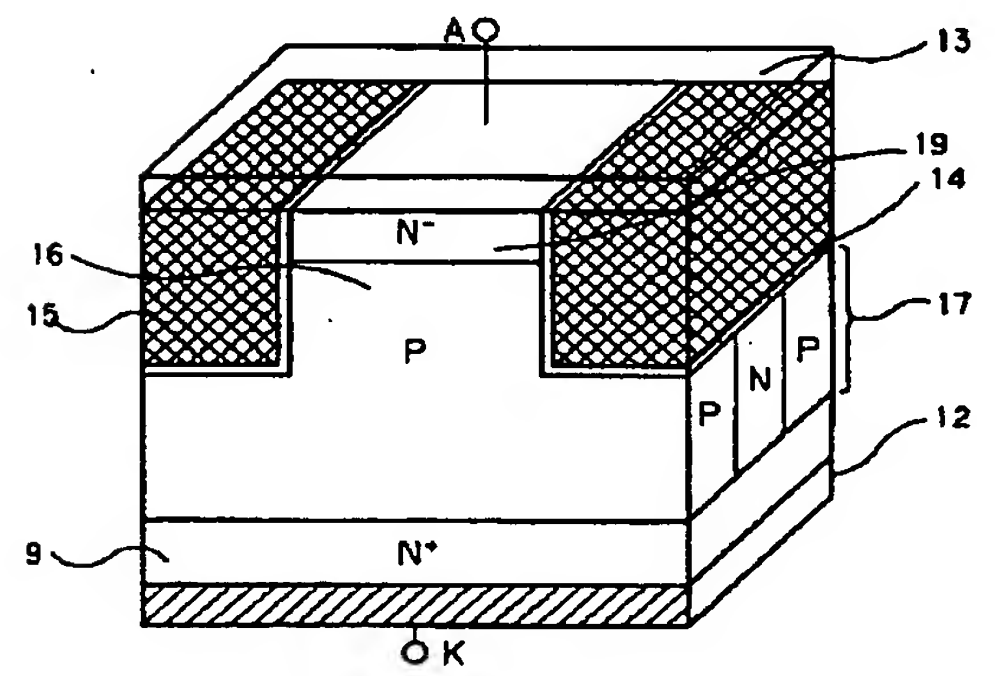
【図14】



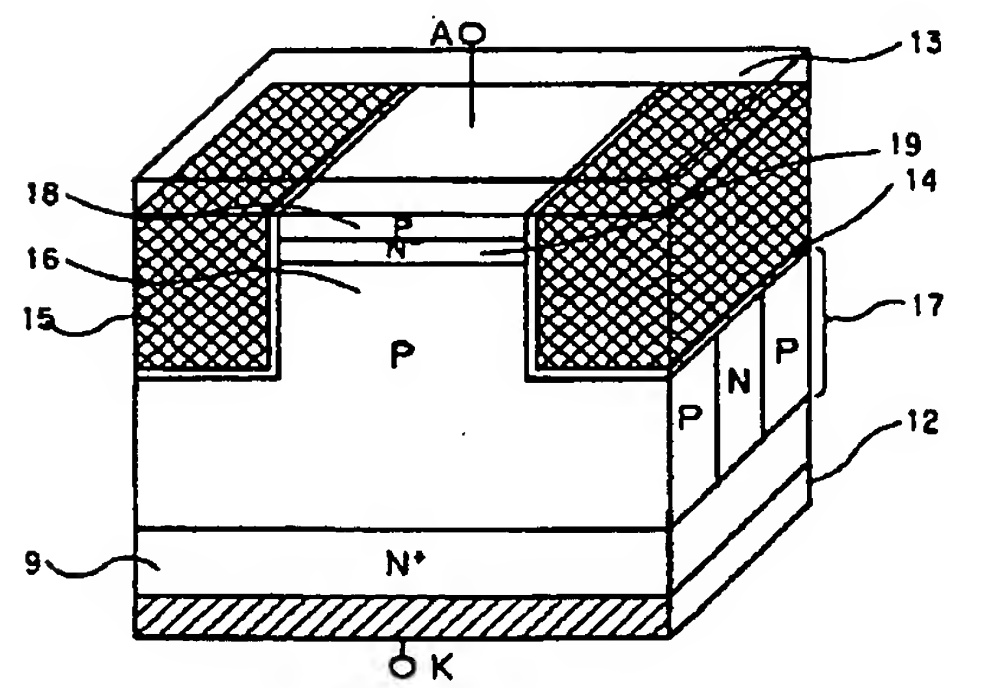
【図15】



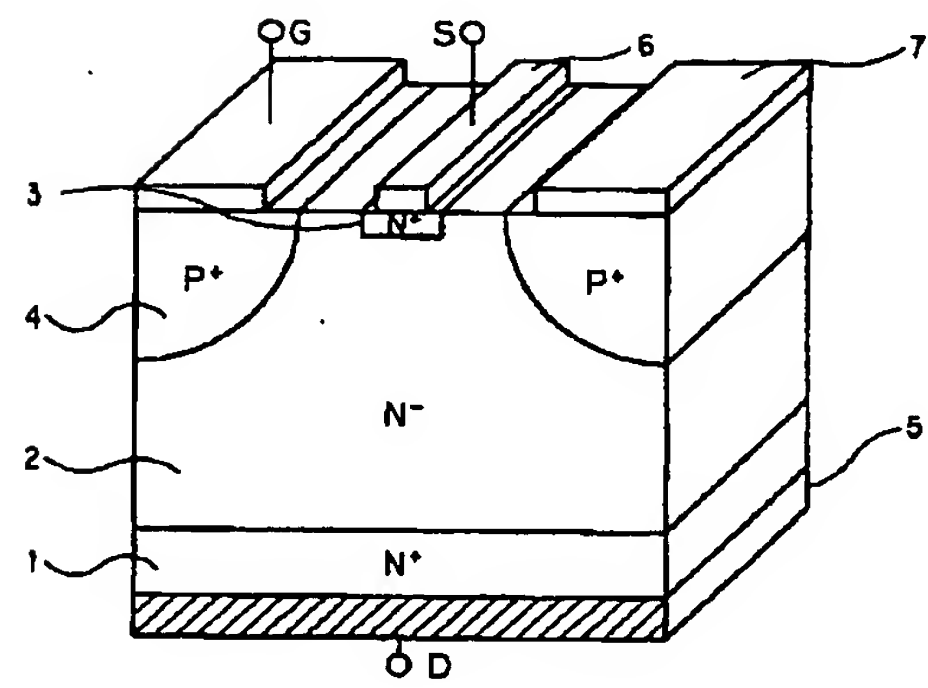
【図16】



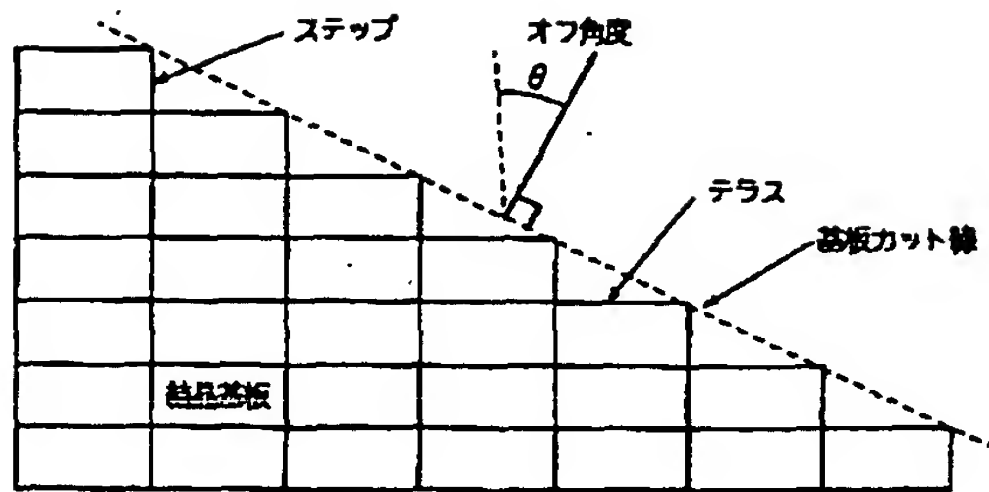
【図17】



【図22】

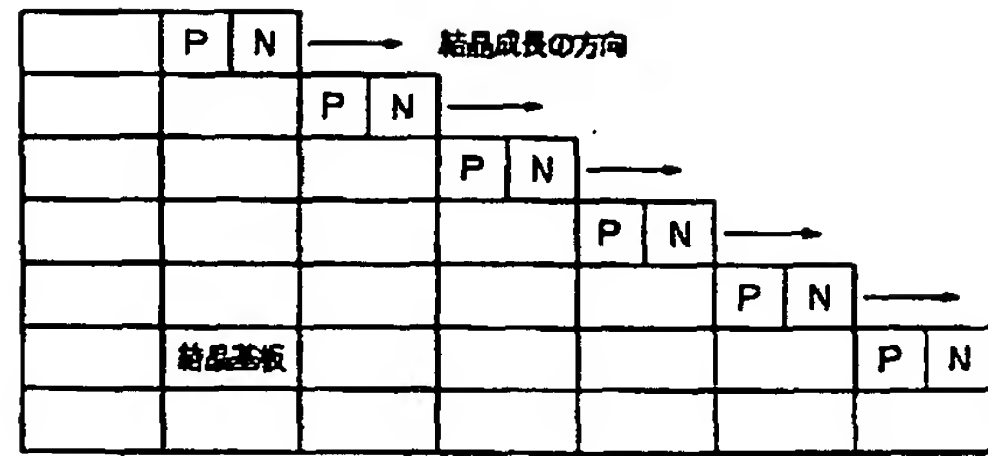


【図18】

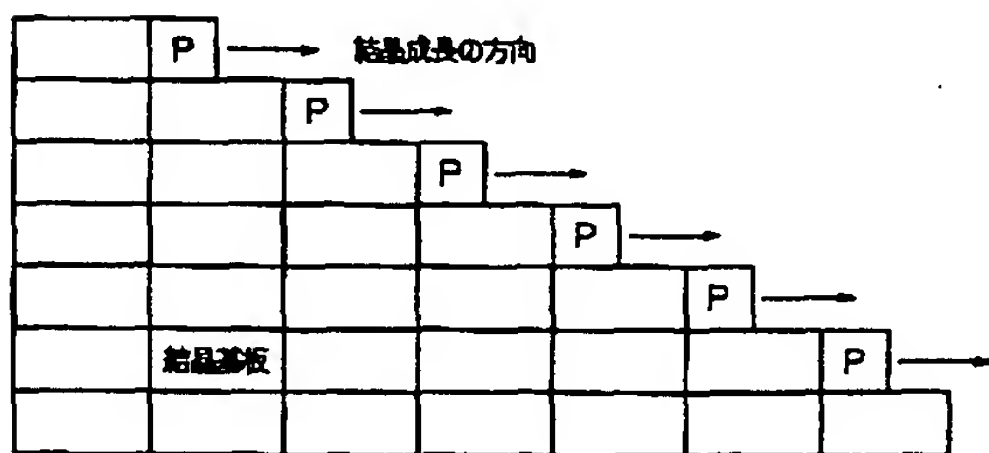


(a)

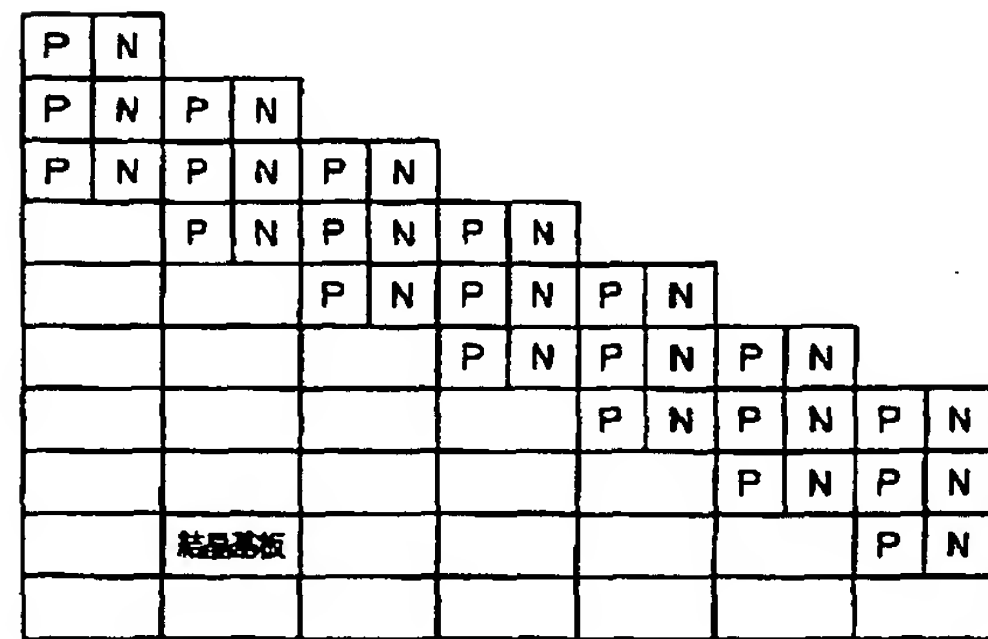
【図19】



(a)



(b)



(b)

【図20】

